

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2001 年 6 月 7 日 (07.06.2001)

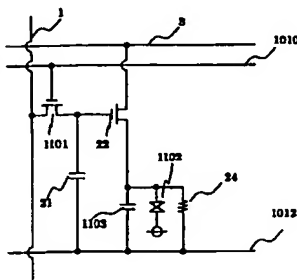
PCT

(10) 国際公開番号
WO 01/40857 A1

- (51) 国際特許分類: G02F 1/1368, 1/133, G09G 3/36 (72) 発明者; および
(75) 発明者/出願人 (米国についてのみ): 村井博之 (MURAI, Hiroyuki) [JP/JP]; 〒100-8310 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内 Tokyo (JP).
- (21) 国際出願番号: PCT/JP00/08477
- (22) 国際出願日: 2000 年 11 月 30 日 (30.11.2000) (74) 代理人: 宮田金雄, 外 (MIYATA, Kaneo et al.); 〒100-8310 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内 Tokyo (JP).
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語 (81) 指定国 (国内): CN, JP, KR, US.
- (30) 優先権データ: 特願平 11/344832 1999 年 12 月 3 日 (03.12.1999) JP (84) 指定国 (広域): ヨーロッパ特許 (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE, TR).
- (71) 出願人 (米国を除く全ての指定国について): 三菱電機株式会社 (MITSUBISHI DENKI KABUSHIKI KAISHA) [JP/JP]; 〒100-8310 東京都千代田区丸の内二丁目2番3号 Tokyo (JP).
- 添付公開書類:
— 国際調査報告書
- 2 文字コード及び他の略語については、定期発行される各 PCT ガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

(54) Title: LIQUID CRYSTAL DISPLAY

(54) 発明の名称: 液晶表示装置



(57) Abstract: A liquid crystal display device is driven with low power consumption while keeping display quality. A liquid crystal display device comprises a substrate on which are provided a plurality of first vertical and horizontal-scanning lines formed in a matrix; first switching means connected with the horizontal scanning lines and controlled by the first vertical scanning lines; control capacitors for holding control signals on the horizontal scanning lines connected with the first switching means; and second switching means for connecting pixel signal lines and pixel electrodes to write the potential of the pixel signal lines to the pixel electrodes. The second switching means is connected with the control capacitors.

(57) 要約:

表示品質を損なうことなく、低消費電力で駆動することのできる液晶表示装置を得ることを目的とする。基板上にマトリックス状に形成された複数の第 1 の垂直走査線と複数の水平走査線と、第 1 の垂直走査線で制御できる前記水平走査線に接続された第 1 のスイッチング手段と、第 1 のスイッチング手段に接続された前記水平走査線の制御信号を保持するための制御用容量素子と、画素信号線の電位を画素電極に書き込むために画素信号線と画素電極を接続する第 2 のスイッチング手段とを備え、前記第 2 のスイッチング手段が前記制御用容量素子に接続されていることを特徴とする液晶表示装置を提供する。

明細書

液晶表示装置

5 技術分野

本発明は、液晶を用いて画像を表示するための液晶表示装置、特に低消費電力であることが必要となる携帯情報端末や携帯電話に用いられる液晶表示装置に関するものである。

10 背景技術

パーソナルコンピュータやテレビ受像機などにおいて、静止画や動画を表示するために液晶表示装置が用いられている。図14は従来のカラー液晶表示装置を示す構成図である。図において、1001はRGBの各一つの画素から構成される一つのピクセル、1002は多数のピクセルが行列状に配列された液晶表示部、1003はシフトレジスタ回路1004とバッファ回路1005から構成され、液晶表示部の一つの行を選択する垂直走査回路、1006はシフトレジスタ回路1007とバッファ回路1008とスイッチ1009から構成され、液晶表示部の一つの列に信号を配するための水平走査回路である。1010および1011は、垂直走査回路1003および水平走査回路1006と各画素とをそれぞれ結ぶための垂直走査線および信号線、1012は共通配線である。図15は、図11の一つの画素を示す回路図であり、図において1101はTFT、1102は液晶表示素子、1103はコンデンサである。

次に動作を説明する。垂直走査線1010に正電圧が印加されるとTFT1101が導通し、信号線1011と液晶表示素子1102およびコンデンサ1103が接続される。これにより液晶表示素子1102およびコンデンサ1103には信号線1011と同電位の電圧まで充電される。いわゆる点順次駆動

- の場合には一つの行の各列ピクセルは水平走査回路1006により順次充電されていき、すべての列ピクセルを走査した後、垂直走査回路1003により垂直走査線1010の電圧が0もしくは負電圧となるためTFT1101は非導通状態になり、液晶表示素子1102およびコンデンサ1103の電圧は保持
- 5 される。同様に次の行の走査を順次行い、垂直走査回路1003が全ての行を走査（1フレームと呼ぶ）した後、再び垂直走査線1010には正電圧が印加され、液晶表示素子1102およびコンデンサ1103に信号線から電圧が書込まれる。このようにして、全ピクセルが1フレーム毎に順次書込まれながら、表示を行うことになる
- 10 液晶表示装置は以上のように構成されているので、一つの画素に信号が書込まれ、再び書込む（すなわち1フレーム周期）までの間、液晶表示素子とコンデンサの持つ静電容量で電圧を維持する必要があるが、液晶の有限の抵抗率やTFTのリーク等により電圧が低下し、フリッカーなどの表示品位の低下が生じる。図16は、このようすを図示したものであり、（a）は通常の60Hz
- 15 のフレーム周波数で動作させた場合であり、一つの画素はフレーム周期1/60秒に一度書き換えられるため、電圧の低下がわずかで画素の反射率（輝度）は変化せず、フリッカーやコントラスト低下といった表示品位の低下はみられない。
- ところで、液晶表示装置の消費電力は、フレーム周波数 \times 垂直走査線数の周
- 20 波数で動作する垂直走査回路1003、およびフレーム周波数 \times 垂直走査線数 \times 水平走査線数の周波数で動作する水平走査回路1006において、高速で動作するシフトレジスタ回路の電力が大部分を占め、低消費電力化に対しては、これら動作周波数の低減、もしくは間欠的に動作させることが有効である。（b）は消費電力を低減させるために水平および垂直走査回路の動作周波数を低
- 25 下させた場合を示す。この場合、液晶表示素子の書き換え時間間隔、すなわちフレーム周期は長くなり、その間に生じる電圧低下は極めて大きくなる。この

ような表示を行った場合には、電圧が時間的に変化するため、反射率（輝度）が大きく変化してフリッカーとして観測され、また平均の電圧も低下するため十分にコントラストが得られないなど、表示品位が低下するといった問題点があった。

- 5 この発明は、上述のような課題を解決するためになされたもので、表示品位を損なうことなく低消費電力の液晶表示装置を提供することを目的とする。

発明の開示

- 本発明の第1の構成による液晶表示装置は、基板上にマトリックス状に形成
- 10 された複数の第1の垂直走査線と複数の水平走査線と、第1の垂直走査線で制御できる前記水平走査線に接続された第1のスイッチング手段と、第1のスイッチング手段に接続された前記水平走査線の制御信号を保持するための制御用容量素子と、画素信号線の電位を画素電極に書き込むために画素信号線と画素電極を接続する第2のスイッチング手段とを備え、前記第2のスイッチング手
- 15 段が前記制御用容量素子に接続されたものである。この構成によれば、画素選択信号を保持するための制御素子と制御用容量素子に接続され、基準電位を画素に書き込むためのスイッチを設けたので消費電力の少ない液晶表示装置が実現できる。

- 本発明の第2の構成による液晶表示装置は、画素電極が2つの基準配線にそ
- 20 れぞれ独立にスイッチング手段を介して接続され、上記スイッチング手段のうち少なくとも一つのスイッチング手段が上記制御用容量素子により制御される第2スイッチング手段としたものである。この構成によれば、基準電位を画素に書き込むためのスイッチに加えて、共通配線の電位を書き込むためのスイッチング手段を設けたので、コントラストに優れた液晶表示装置が実現できる。

- 25 本発明の第3の構成による液晶表示装置は、第2の構成において、第2のスイッチング手段がn型TFTとp型TFTとから成り、一方のTFTは他方の

TFTとは異なる基準配線電位に接続されたものである。この構成によれば、基準電位を画素に書込むためのスイッチに加えて、共通配線の電位を書込むためのスイッチング手段を設けたので、コントラストに優れた液晶表示装置が実現できる。

- 5 本発明の第3の構成による液晶表示装置は、第1から第3のいずれかの構成において、第2の垂直走査線で制御できる第3のスイッチング手段が、第2のスイッチング手段と画素電極との間に直列に接続されたものである。この構成によれば、基準電位を画素に書込むためのスイッチに加えて、共通配線の電位を書込むためのp型TFTからなるスイッチを設けたので、コントラストに優れた液晶表示装置が実現できる。

- 10 本発明の第5の構成によれば、第1から第3のいずれかの構成において、第3のスイッチング手段が前記第2のスイッチング手段であるn型TFTと画素電極との間に直列に接続されており、第3の垂直走査線で制御できる第4のスイッチング手段が第2のスイッチング手段であるp型TFTと画素電極との間に直列に接続されたものである。この構成によれば、基準電位あるいは共通配線の電位を書込むためのスイッチと直列に、垂直走査回路で制御されるスイッチを設けたので、欠陥の少ない液晶表示装置が実現できる。この構成によれば、基準電位を書込むためのスイッチと直列に第3の制御配線で制御されるスイッチと、共通配線の電位を書込むためのスイッチと直列に第4の制御配線で制御されるスイッチを設けたので、低消費電力動作に加えて多階調表示動作が可能な液晶表示装置が実現できる。

- 20 本発明の第6の構成によれば、第1の垂直走査線で制御できる第5のスイッチング手段が第2のスイッチング手段であるn型TFTと画素電極との間に直列に接続されており、第3の垂直走査線で制御できる第6のスイッチング手段が、第2のスイッチング手段であるn型TFT及びp型TFTと画素電極との間に各々直列に接続されたものである。この構成によれば、低消費電力動作に

加えて多階調表示動作が可能で、構成が簡単な液晶表示装置が実現できる。

- 本発明の第7の構成によれば、第1から第5のいずれかの構成において、第2の垂直走査線に接続された駆動回路が、基板外から入力した時系列的な2値の制御信号の並びを画素電極に対応して振り分け、制御用容量素子への書き込み動作が終了するまで画素電極に対応した制御信号を保持できるように構成したものである。この構成によれば、基準電位を書込むためのスイッチと直列に垂直走査配線で制御されるスイッチと、基準電位を書込むためのスイッチおよび共通配線の電位を書込むためのスイッチそれぞれに直列に第3の制御配線で制御されるスイッチを設けたので、低消費電力動作に加えて多階調表示動作が可能で、構成が簡単な液晶表示装置が実現できる。

- 本発明の第8の構成によれば、第1から第7のいずれかの構成において、画素信号線の基準電位は、第2のスイッチング手段により画素電極に書き込まれた電位が、対向基板の電位に液晶駆動電圧を加えた電位又は減じた電位となるように設定され、かつ共通配線の電位は第2のスイッチング手段により画素電極に書き込まれた電位が、対向基板の電位と等しくなるように設定されたものである。この構成によれば、基準電位と共通配線の電位を液晶の反射率が最大、最小になるように設定したので、コントラストが高い液晶表示装置が実現できる。

- 本発明の第9の構成によれば、第1から第8のいずれかの構成において、画素信号線が基板外から基準電位を供給するための基準電位母線とスイッチング手段により接続されており、スイッチング手段が第1の垂直走査線、第2の垂直走査線、及び第3の垂直走査線のうち少なくとも1本と連動して動作するように構成したものである。この構成によれば、基準電位発生用の電源がコンパクトな液晶表示装置が実現できる。

- 本発明の第10の構成によれば、第3から第8のいずれかの構成において、画素電極への書き込み動作の時間間隔が、制御用容量素子への書き込み動作時

間より短くしたものである。この構成によれば、低消費電力かつフリッカーがなくコントラストの高い液晶表示装置が実現できる。

本発明の第11の構成によれば、第4から第10のいずれかの構成において、画素信号線の対抗基板の電位を挟んだ電位の変化の時間間隔が、画素電極へ
5 の書き込み動作の時間間隔より長くなるように設定したものである。この構成によれば、さらに低消費電力の液晶表示装置が実現できる。

本発明の第12の構成によれば、第1から第11のいずれかの構成において、1つの画素の画素電極が複数に分割され、各々の画素電極に対して、第1の垂直走査線及び水平走査線に接続された第1のスイッチング手段と、スイッチン
10 グ手段に接続された水平走査線の制御信号を保持するための制御用容量素子と、画素信号の電位を画素電極に書き込むための第2のスイッチング手段を有するものである。この構成によれば、階調表示が可能な液晶表示装置が実現できる。

本発明の第13の構成によれば、第12の構成において、複数に分割された
15 画素電極における少なくとも1つの画素電極の面積が、他の画素電極とは異ならせたものである。この構成によれば、さらに高い階調表示が可能な液晶表示装置が実現できる。

本発明の第14の構成によれば、第1から第13のいずれかの構成において、画素電極が金属膜で構成された反射型としたものである。消費電力の極めて
20 低い反射型液晶表示装置が実現できる。

図面の簡単な説明

第1図は、本発明の実施例1による液晶表示装置の駆動回路を示す構成図である。

25 第2図は、本発明の実施例1及び2による液晶表示装置の駆動回路を示す回路図である。

第3図は、本発明の実施例3を説明するための説明図である。

第4図は、本発明の実施例3による液晶表示装置の駆動回路を示す構成図である。

第5図は、本発明の実施例4による液晶表示装置の駆動回路を示す構成図である。

第6図は、本発明の実施例4による液晶表示装置の駆動回路示す回路図である。

第7図は、本発明の実施例5による液晶表示装置の駆動回路示す回路図である。

第8図は、本発明の実施例5における回路動作を説明するための波形図である。

第9図は、本発明の実施例6による液晶表示装置の駆動回路を示す回路図である。

第10図は、本発明の実施例7による液晶表示装置の駆動回路を示す構成図である。

第11図は、本発明の実施例8による液晶表示装置の駆動回路を示す構成図である。

第12図は、本発明の実施例9による液晶表示装置の駆動波形を示す波形図である。

第13図は、本発明の実施例9による液晶表示装置の駆動波形を示す波形図である。

第14図は、従来における液晶表示装置の駆動回路を示す構成図である。

第15図は、従来における液晶表示装置の駆動回路を示す回路図である。

第16図は、従来における液晶表示装置の駆動回路の動作を示す波形図である。

発明を実施するための最良の形態

以下に、図面に基づいて本発明の実施例を説明する。なお、以下の図面において、同一または相当する部分には同一の符号を付し、その説明を省略する。

実施例 1

- 5 図 1 は本発明による液晶表示装置の実施例 1 を示す構成図である。図中、1 は水平走査線、2 はデータ信号線、3 は画素信号線、4 は画素である。図 2 は、一つの画素を構成する回路図である。図において、21 は制御用容量素子、22 は第 2 の n 型 T F T (第 2 のスイッチング手段)、24 は抵抗素子である。
- 10 次に動作について説明する。垂直走査回路 1003 および水平走査回路 1006 により一つの画素を選択できることはすでに述べた。本発明においては、点灯すべき画素の水平走査線 1 にはデータ信号線 2 から水平走査回路 1006 により選択されたスイッチ 1009 を介し正電圧 (例えば 5 V) が印加されるので、T F T 1101 を介して制御用容量素子 21 には水平走査線 1 の正電圧
- 15 が充電される。この時制御用容量素子 21 には第 2 の n 型 T F T 22 が接続されているので、第 2 の n 型 T F T 22 が導通状態になり、液晶表示素子 1102 及びコンデンサ 1103 は画素信号線 3 (第 1 基準配線) のみと接続されて画素信号線 3 の電圧まで充電される。いわゆる点順次駆動の場合には、一つの行における全部の列ピクセルを走査した後、垂直走査回路 1003 により垂直走
- 20 査線 1010 の電圧が 0 もしくは負電圧となるため T F T 1101 は非導通状態になり、制御用容量素子 21 の電圧は保持されるとともに、n 型 T F T 22 は導通が維持され、常に液晶表示素子 1102 およびコンデンサ 1103 は画素信号線 3 との接続が保たれる。
- 垂直走査回路が全ての行を走査した後、再び垂直走査線 1010 には正電圧
- 25 が印加され、再び制御用容量素子 21 に水平走査線 1 から電圧が書込まれることになる。本発明の実施例 1 においては、消費電力を低減させるために水平お

よび垂直走査回路の動作周波数を低下させ、制御用容量素子21の書き換え時間間隔を長くした場合には制御用容量素子21の電圧はTFTのリーク等により低下するが、この電圧はn型TFT22を導通状態にするための電圧であり、この電圧がn型TFT22のいわゆる閾値電圧より低下しない限り、n型

5 TFT22の導通状態は維持され、これにより液晶表示素子1102およびコンデンサ1103は画素信号線3と接続されたままであるので、図2の(b)に示したような反射率(輝度)の変化は生じないことになる。更に、非点灯の画素の場合、第2のn型TFT22が非導通状態にあるため、画素信号線3からの電流の流れ込みはなく、液晶表示素子1102及びコンデンサ1103の

10 電圧は抵抗素子24により共通配線1012(第2基準配線)に固定される。ここで、画素信号線3の基準電位を画素電極に書き込まれた電位が対向基板の電位に液晶駆動電圧を加えた電位または対向基板の電位に液晶駆動電圧を減じた電位になるように設定したので、液晶の反射率の最大値(ノーマリホワイトモードでは最小値)となり、同時に共通配線1012の電位は、画素電極に書き

15 込まれた電位が対向基板の電位と等しくなるように設定したので、液晶の反射率の最小値(ノーマリホワイトモードでは最大値)となるため、画素信号線3、共通配線1012に接続することにより最大のコントラストを得ることができた。

このように本実施例においては、表示品位を損なうことなく、垂直走査回路

20 および水平走査回路の動作周波数を低くしたり、垂直走査回路および水平走査回路の間欠駆動が可能となり、低消費電力の液晶表示装置を実現することができた。

実施例2

図2の(b)は、本発明の実施例2における一つの画素を構成する回路図である。図において、23はp型TFTである。

25

次に動作について説明する。本実施例2においても、点灯すべき画素の水平

走査線1には正電圧（例えば5V）が印加されるので、TFT1101を介して制御用容量素子21には水平走査線1の正電圧が充電され、制御用容量素子21には第2のn型TFT22が接続されているので、第2のn型TFT22が導通状態になる。一方p型TFT23には正電圧が印加されているため非導
5 通状態となっているので、液晶表示素子1102及びコンデンサ1103は画素信号線3のみと接続されて画素信号線3の電圧まで充電されることは既に述べた。

ここで、非点灯の画素の水平走査線1には0Vもしくは負電圧（例えば-2V）が印加されているので、TFT1101を介して制御用容量素子21には
10 水平走査線1の0Vもしくは負電圧が充電される。この時制御用容量素子21には第2のn型TFT22が接続されており、第2のn型TFT22は非導通状態であるが、同時に、p型TFT23には0Vもしくは負電圧が印加されているため導通状態となっており、液晶表示素子1102及びコンデンサ1103は共通配線1012のみと接続されて共通配線1012の電圧に固定される
15 。この実施例2では、n型TFT22とp型TFT23とを相補的に接続することにより、黒表示と白表示を行うための液晶電圧を確実に書き込むことができ、高コントラストな画面を実現することができる。

また、非点灯の画素においても、液晶表示素子1102及びコンデンサ1103はp型TFT23により共通配線1012に接続されているので、非点灯
20 の画素の反射率はn型TFT22のリーク等による画素信号線3からの充電がないので、完全に反射率を低く抑えることができ、コントラストは十分に高く保持できるので表示品位を損なうことなく、垂直走査回路および水平走査回路の動作周波数を低くしたり、垂直走査回路および水平走査回路の間欠駆動が可能となり、低消費電力の液晶表示装置を実現することができた。

25 なお、実施例2は請求の範囲3に対応しており、n型TFT22とp型TFT23により、相補的なスイッチング手段を構成しているが、請求の範囲2は

、これに限定されるものではなく、液晶表示素子に対し２種類の基準電圧を確実に供給する各種手段を含むものである。

実施例 3

図 3 は本発明の実施例 3 を示す構成図である。図において、3 1 は副画素 R 1 a と R 1 b から構成される画素である。この場合、各副画素に少なくとも一つの、図 2 に示した回路が構成されている。

次に動作について説明する。図 2 の回路により、表示品位を損なうことなく、垂直走査回路および水平走査回路の動作周波数を低くしたり、垂直走査回路および水平走査回路の間欠駆動が可能となり、低消費電力の液晶表示装置を実現できることは既に述べた。本実施例では画素の中に 2 つの副画素をもち、各副画素に独立した回路を設けたので、それぞれ独立に制御することができ、階調表示が可能となる。

さらに、図 4 は副画素の電極面積を示した図であり、図において 3 2 は一方の副画素 R 1 a、3 3 は他方の副画素 R 1 b である。ここで R 1 a、R 1 b の副画素の電極面積を互いに相異なるように構成した。この場合副画素 R 1 a、R 1 b のいずれかを独立に点灯すると、点灯面積が違うので異なる階調の表示が可能となり、さらに多くの階調表示ができる。また電極を金属膜で構成すると、反射型の液晶表示装置が実現できる。

実施例 4

図 5 は本発明の実施例 4 を示す構成図である。図において、5 1 は第 2 の垂直走査線 A、5 2 は液晶表示部 1 0 0 2 に導入するために行に対応するように分岐された画素信号線 3 の一本に対して一つ設けられ、第 2 の垂直走査線 A 5 1 で制御されるスイッチング素子である。5 3 はスイッチング素子 5 2 のすべてに接続され、スイッチング素子 5 2 を介して画素信号線 3 に電位を与えるための基準電位母線である。図 6 は実施例 4 における一つの画素（副画素）を構成する回路図である。6 1 は画素信号線 3 と液晶表示素子 1 1 0 2 及びコンデ

ンサ1103の間に第2のn型TFT22と直列に接続され、かつ共通配線1012と液晶表示素子1102及びコンデンサ1103の間にp型TFT23と直列に接続された第3のn型TFT（第3のスイッチング手段）である。

- 次に動作を説明する。水平走査線1と垂直走査線1010により画素の点灯
- 5、非点灯状態が選択され、制御用容量素子21により第2のn型TFT22およびp型TFT23の導通、非導通状態が維持されることはすでに述べた。第3のn型TFT61は第2の垂直走査線A51により制御されており第2の垂直走査線A51に正電圧が印加された時のみ導通状態となり、画素信号線3と液晶表示素子1102及びコンデンサ1103、あるいは共通配線1012と
- 10液晶表示素子1102及びコンデンサ1103とが接続される。図5で示した通り、画素信号線3は第3のn型TFT61と同様に第2の垂直走査線A51で制御されるスイッチング素子52を介して接続されており、第2の垂直走査線A51に正電圧が印加され、第3のn型TFT61が導通状態にある時には画素信号線3にも電圧が印加されているので、液晶表示素子1102及びコン
- 15デンサ1103は点灯状態が選択されている場合は画素信号線3の電圧に、非点灯状態が選択されている場合は共通配線1012の電圧に再び充電される。

- 本実施例4はこのように構成されているので、画素毎に点灯、非点灯状態を選択するための水平走査線1と垂直走査線1010を停止させた後、比較的動作周波数が低く消費電力の少ない垂直走査回路1003のみ駆動して第2の垂直走査線A51のみを動作させる、即ち液晶表示素子1102及びコンデンサ
- 201103への書き込み動作の時間間隔を制御用容量素子21より短くすることにより液晶表示素子1102及びコンデンサ1103は再充電される。画素信号線3は、液晶に常に同方向電位がかかることを防ぐため、対向基板の電位に対し反転させる必要があるが、画素電極への書き込み時間間隔より長く設定することにより反転回数を少なくして画素信号線3への充電電力が低減でき、低い消費電力により反射率（輝度）の変化が少なく、フリッカーやコントラスト
- 25

の低下といった表示品位の低下を防ぐことができた。

また、上記実施例1および2においてはすべての画素が画素信号線3もしくは共通配線1012に同時に接続されており、ある画素において液晶表示素子やコンデンサの短絡があった場合には画素信号線3の電圧低下が生じ、画面全体の影響を与えていた。この実施の形態4では、ある時刻においては一つの行のみが画素信号線3で接続されているだけである。このため、ある画素において液晶表示素子やコンデンサの短絡があった場合にも、一つの行の画素表示のみが不調になる、いわゆる線欠陥に抑えることができ、歩留りが向上する。

実施例5

- 10 図7は本実施例5における一つの画素（副画素）を構成する回路図である。図において、71は画素信号線3と液晶表示素子1102及びコンデンサ1103の間に第2のn型TFT22と直列に接続されたn型TFT（第3のスイッチング手段）、72は共通配線1012と液晶表示素子1102及びコンデンサ1103の間にp型TFT23と直列に接続されたn型TFT（第4のスイッチング手段）、73はn型TFT71のスイッチングを制御するための第2の垂直走査線B、74はn型TFT72のスイッチングを制御するための第3の垂直走査線である。

- 次に動作について説明する。まず、第2の垂直走査線B73と第3の垂直走査線74を同時に動作させる場合を考える。この場合、上述の実施の形態3と同様の動作となり、第2の垂直走査線B73、第3の垂直走査線74を動作させることにより、制御用容量素子21の電圧で決まる点灯、非点灯状態に設定されている画素に対して、画素は所定の状態に再充電されるため、低い消費電力により反射率（輝度）の変化が少なく、フリッカーやコントラストの低下といった表示品位の低下を防ぐことができる。これを低消費電力モードと呼ぶ。
- 25 次に、高速の動画など数十フレームの速さで画素の点灯、非点灯状態が常時変わる通常モード（すなわち画素内の制御用容量素子を常書き換える必要が

ある) 場合には、画素信号線3にアナログ状の電圧を印加し、この電圧を第2のn型TFT22とn型TFT71を介して液晶表示素子1102及びコンデンサ1103に書込むことにより、アナログ状電圧の階調で決まる多階調表示が可能となる。図8は通常モード動作の場合に各制御線に印加される波形の時間変化を示したタイムチャートである。図8の(a)に示す波形のように、垂直走査線1010および第2の垂直走査線B73に正電圧パルスを加えることにより一つの水平ラインの画素が選択され、TFT1101およびn型TFT71は導通状態となっている。図8の(c)に示す波形を持つ水平走査線1の信号は垂直走査線1010および第2の垂直走査線B73における正電圧パルスの立ち上がりと同時に立ち上がり、第2のn型TFT22も導通状態となって、液晶表示素子1102及びコンデンサ1103は画素信号線3と接続される。画素信号線3には図8の(b)に示すような階段状の時間的変化を持つ電圧パルスが印加されているので、液晶表示素子1102及びコンデンサ1103の電圧も図8の(e)のようにこれに従って変化することになる。ここで、水平走査線1の信号を正電圧から0もしくは負電圧に変化させると第2のn型TFT22は非導通状態となり、液晶表示素子1102及びコンデンサ1103は画素信号線3と切断されるので、画素信号線3の電圧が変化しても液晶表示素子1102及びコンデンサ1103の電圧(画素電極の電圧)は図8の(e)のように切断された時点の電圧で固定され、画素はこの電圧に応じた反射率を示すことになる。通常モードの場合には、図8の(d)に示すように第3の垂直走査線74は0又は負電位に固定されている。

このように本発明の本実施例5によって、階段状電圧の階調分の反射率を水平走査線1の信号の0もしくは負電圧に変化させるタイミングで発生させることができ、通常モードにあつては多階調の表示を実現することができた。これにより、静止画のように画素の点灯、非点灯状態が変化しない表示を行う場合には低消費電力モードで駆動するとともに副画素での階調表示を実現し、高速

の動画のように画素の点灯、非点灯状態が常時変化する表示を行う場合には通常モードで駆動して、画素信号線3に印加される階段状電圧により多階調表示ができる液晶表示装置を実現することができた。

実施例6

- 5 図9は本発明の実施例6における画素（副画素）を示す回路図である。図において、91は画素信号線3と液晶表示素子1102及びコンデンサ1103の間において第2のn型TFT22と直列に接続されたn型TFT(第5のスイッチング手段)、92、93は画素信号線3と液晶表示素子1102及びコンデンサ1103の間において第2のn型TFT22と直列に接続され、第3
- 10 の垂直走査線74で制御されるn型TFT(第6のスイッチング手段)である。
- 次に動作について説明する。低消費電力モードの場合には第3の垂直走査線74を動作させることにより、n型TFT92およびn型TFT93が導通状態となるので、制御用容量素子21の電圧で決まる点灯、非点灯状態に応じて液晶表示素子1102及びコンデンサ1103は画素信号線3もしくは共通配
- 15 線1012のいずれかに接続され、所定の状態に再充電されるため、低い消費電力により反射率（輝度）の変化が少なく、フリッカーやコントラストの低下といった表示品位の低下を防ぐことができる。通常モードの場合には、垂直走査線1010がTFT1101およびn型TFT91を同時に制御し、垂直走査線1010に正電圧パルスを加えることにより一つの水平ラインの画素が選
- 20 択され、選択された水平ラインのTFT1101およびn型TFT91は導通状態となっている。水平走査線1の信号は垂直走査線1010の正電圧パルスの立ち上がりと同時に立ち上がり、第2のn型TFT22も導通状態となるため液晶表示素子1102及びコンデンサ1103は画素信号線3と接続され、画素信号線3には図8に示すような階段状の時間的変化を持つ電圧パルスが印
- 25 加されているので、液晶表示素子1102及びコンデンサ1103の電圧もこれに従い変化するが、水平走査線1の信号を正電圧から0もしくは負電圧に変

化させると第2のn型TFT22は非導通状態となり、液晶表示素子1102及びコンデンサ1103は画素信号線3と切断され、液晶表示素子1102及びコンデンサ1103の電圧は切断された時点の電圧で固定されるため、画素はこの電圧に応じた反射率を示して、階段状電圧の階調分の反射率を水平走査線1の信号の0もしくは負電圧に変化させるタイミングで階調表示を実現することができた。

このように本実施例6では、垂直走査線1010一つで通常モード、第3の垂直走査線74で低消費電力モードの駆動を実現したので走査線の数が少なくてすみ、配線の断線による欠陥を減じて歩留りが向上し、また高密度で画素（副画素）を配置することができたので表示の高精細化が可能になった。

実施例7

図10は本発明の実施例7を示す構成図であり、ラッチ回路101を用いて水平走査回路1006を構成している。ラッチ回路101により、データ信号線2から入力される水平走査線を選択するためのパルス信号列(時系列な2値の制御信号)を画素に対応して振り分けるよう構成している。

実施例8

図11は実施例8の一つの画素（副画素）を示す回路図である。この実施例8は第9図に示す実施例6をさらに改良している。図において、901は液晶表示素子1102及びコンデンサ1103とn型TFT92（第4のスイッチング手段）の間に直列に接続されると共にn型TFT93（第6のスイッチング手段）に対しても直列になるように接続されたn型TFTである。他の構成は第9図と同一である。

次に動作について説明する。低消費電力モードの場合には第3の垂直走査線74を動作させることにより、n型TFT92、n型TFT93及びn型TFT（第7のスイッチング手段）が導通状態となるので、制御用容量素子21の電圧で決まる点灯、非点灯状態に応じて液晶表示素子1102及びコンデンサ

1103は画素信号線3もしくは共通配線1012のいずれかに接続され、所定の状態に再充電されるため、低い消費電力により反射率（輝度）の変化が少なく、フリッカーやコントラストの低下といった表示品位の低下を防ぐことができる。通常モードの場合には、垂直走査線1010がTFT1101および
5 n型TFT91を同時に制御し、垂直走査線1010に正電圧パルスを加えることにより一つの水平ラインの画素が選択され、選択された水平ラインのTFT1101およびn型TFT91は導通状態となっている。水平走査線1の信号は垂直走査線1010の正電圧パルスの立ち上がりと同時に立ち上がり、第2のn型TFT22も導通状態となるため液晶表示素子1102及びコンデン
10 サ1103は画素信号線3と接続され、画素信号線3には図8に示すような階段状の時間的変化を持つ電圧パルスが印加されているので、液晶表示素子1102及びコンデンサ1103の電圧もこれに従い変化するが、水平走査線1の信号を正電圧から0もしくは負電圧に変化させると第2のn型TFT22は非導通状態となり、液晶表示素子1102及びコンデンサ1103は画素信号線
15 3と切断され、液晶表示素子1102及びコンデンサ1103の電圧は切断された時点の電圧で固定されるため、画素はこの電圧に応じた反射率を示して、階段状電圧の階調分の反射率を水平走査線1の信号の0もしくは負電圧に変化させるタイミングで階調表示を実現することができた。

このように本実施例8では、実施例6で記載された効果と同様の効果を奏すると共に、n型TFT92（第4のスイッチング手段）とn型TFT901（
20 第7のスイッチング手段）とによりデュアルゲートを構成すると共にn型TFT93（第6のスイッチング手段）とn型TFT901（第7のスイッチング手段）とによりデュアルゲートを構成することにより、すなわち、n型TFT901（第7のスイッチング手段）を共有させることでn型TFT92（第4
25 のスイッチング手段）とn型TFT93（第6のスイッチング手段）とをデュアルゲート化して、省スペースを図りながら液晶表示素子1102からのリー

ク電流を阻止することができる。

実施例 9

図 1 2 は実施例 9 を説明するための波形図である。但し簡略化のため図 1 2 (b)、(c)、(d) については、一部分を省略して示してある。

- 5 実施例 5 における通常モード動作を説明する波形図(第 8 図)に示すように、画素信号線 3 には第 1 2 図の(b)に示す階段状の時間変化を持つ電圧パルスが印加されている。第 1 2 図の(a)(b)は第 8 図の(a)(b)と同じ波形である。第 1 2 図の(b)に示す階段状の電圧パルス波形の一部 A を拡大して第 1 3 図
- 10 (a) に示している。図に示すようにこの電圧レベルはある階調の電圧レベルから次ぎの階調の電圧レベルにレベルが階段状に上昇するのではなく、画素信号線 3 とこの画素信号線 3 に交差している複数の水平走査線 1 との間で存在する容量結合のため、水平走査線 1 の電圧が正電圧から 0 または負電圧への変化を反映して図 1 3 (a) に示すように急峻な電圧降下 P が生ずる。この電圧降下のため液晶に印加される電圧レベルが変動して階調表示の品質を低下させてい
- 15 る。複数の水平走査線 1 が一斉に正電圧から 0 または負電圧への変化する場合(すなわち一つの行の画素が同一階調の場合など) には、画素信号線 3 に交差している複数の水平走査線 1 との間で存在する各容量結合が加算されるため、このような急峻な電圧降下が発生する。そこで、この実施例 9 では第 1 2 図の(c)及び(d)に示す奇数と偶数の各列における水平走査線 1 に印加される電圧
- 20 パルスの 0 または負電圧への変化するタイミングを所定時間 Δt だけ互いにずらせることにより、同一タイミングにおいて画素信号線 3 に作用する容量結合の数を減じることにより、急峻な電圧降下を半減させている。この場合、奇数列の各水平走査線 1 と画素信号線 3 との容量結合による電圧レベルの低下は第 1 3 図の(b)の K、偶数列の各水平走査線 1 と画素信号線 3 との容量結合によ
- 25 る電圧レベルの低下は第 1 3 図の(b)の G で示すように、水平走査線を奇数と偶数に 2 分すれば水平走査線の数が半分になるため、それぞれの容量結合の和

が半分となりほぼ電圧レベルの変動も半減し、画質の低下を少なくすることができる。

産業上の利用可能性

- 5 本発明は、液晶を用いた画像表示装置として利用することができ、特に低消費電力を必要とするたとえば携帯電話等の携帯端末には最適である。

10

15

20

25

請求の範囲

1. 基板上にマトリックス状に形成された複数の第1の垂直走査線と複数の水平走査線と、第1の垂直走査線で制御できる前記水平走査線に接続された第1のスイッチング手段と、第1のスイッチング手段に接続された前記水平走査線
5 の制御信号を保持するための制御用容量素子と、画素信号線の電位を画素電極に書き込むために画素信号線と画素電極を接続する第2のスイッチング手段とを備え、前記第2のスイッチング手段が前記制御用容量素子に接続されていることを特徴とする液晶表示装置。
2. 基板上にマトリックス状に形成された複数の垂直走査線と複数の水平走査
10 線と、上記垂直走査線と上記水平走査線により選択される画素電極と、上記水平走査線の制御信号を保持するための制御用容量素子とを備え、上記画素電極が第1及び第2の基準配線にそれぞれ独立にスイッチング手段を介して接続され、上記スイッチング手段のうち少なくとも一つのスイッチング手段が上記制御用容量素子により制御される第2スイッチング手段であることを特徴とする
15 液晶表示装置。
3. 第2のスイッチング手段がn型TFTとp型TFTとから成り、一方のTFTは他方のTFTとは異なる基準配線電位に接続されていることを特徴とする請求項2記載の液晶表示装置。
4. 第2の垂直走査線で制御できる第3のスイッチング手段が、第2のスイッ
20 チング手段と画素電極との間に直列に接続されていることを特徴とする請求項1から3のいずれかに記載の液晶表示装置。
5. 第3のスイッチング手段が前記第2のスイッチング手段であるn型TFTと画素電極との間に直列に接続されており、第3の垂直走査線で制御できる第4のスイッチング手段が第2のスイッチング手段であるp型TFTと画素電極
25 との間に直列に接続されていることを特徴とする請求項1から3のいずれかに記載の液晶表示装置。

6. 第1の垂直走査線で制御できる第5のスイッチング手段が第2のスイッチング手段であるn型TFTと画素電極との間に直列に接続されており、第3の垂直走査線で制御できる第6のスイッチング手段が、第2のスイッチング手段であるn型TFT及びp型TFTと画素電極との間に各々直列に接続されていることを特徴とする液晶表示装置。
7. 第2の垂直走査線に接続された駆動回路が、基板外から入力した時系列的な2値の制御信号の並びを画素電極に対応して振り分け、制御用容量素子への書き込み動作が終了するまで画素電極に対応した制御信号を保持できるように構成したことを特徴とする請求項1から6のいずれかに記載の液晶表示装置。
- 10 8. 画素信号線の基準電位は、第2のスイッチング手段により画素電極に書き込まれた電位が、対向基板の電位に液晶駆動電圧を加えた電位又は減じた電位となるように設定され、かつ共通配線の電位は第2のスイッチング手段により画素電極に書き込まれた電位が、対向基板の電位と等しくなるように設定されていることを特徴とする請求項1から7のいずれかに記載の液晶表示装置。
- 15 9. 画素信号線が基板外から基準電位を供給するための基準電位母線とスイッチング手段により接続されており、スイッチング手段が第1の垂直走査線、第2の垂直走査線、及び第3の垂直走査線のうち少なくとも1本と連動して動作するように構成したことを特徴とする請求項1から8のいずれかに記載の液晶表示装置。
- 20 10. 画素電極への書き込み動作の時間間隔が、制御用容量素子への書き込み動作時間間隔より短いことを特徴とする請求項3から8に記載の液晶表示装置。
11. 画素信号線の対向基板の電位を挟んだ電位の変化の時間間隔が、画素電極への書き込み動作の時間間隔より長いことを特徴とする請求項4から10の
- 25 いずれかに記載の液晶表示装置。
12. 1つの画素の画素電極が複数に分割され、各々の画素電極に対して、第

1の垂直走査線及び水平走査線に接続された第1のスイッチング手段と、スイッチング手段に接続された水平走査線の制御信号を保持するための制御用容量素子と、画素信号の電位を画素電極に書き込むための第2のスイッチング手段を有することを特徴とする請求項1から11のいずれかに記載の液晶表示装置

5。

13. 複数の分割された画素電極における少なくとも1つの画素電極の面積が、他の画素電極とは異なっていることを特徴とする請求項12に記載の液晶表示装置。

14. 画素電極が金属膜で構成された反射型であることを特徴とする請求項1

10 から13のいずれかに記載の液晶表示装置。

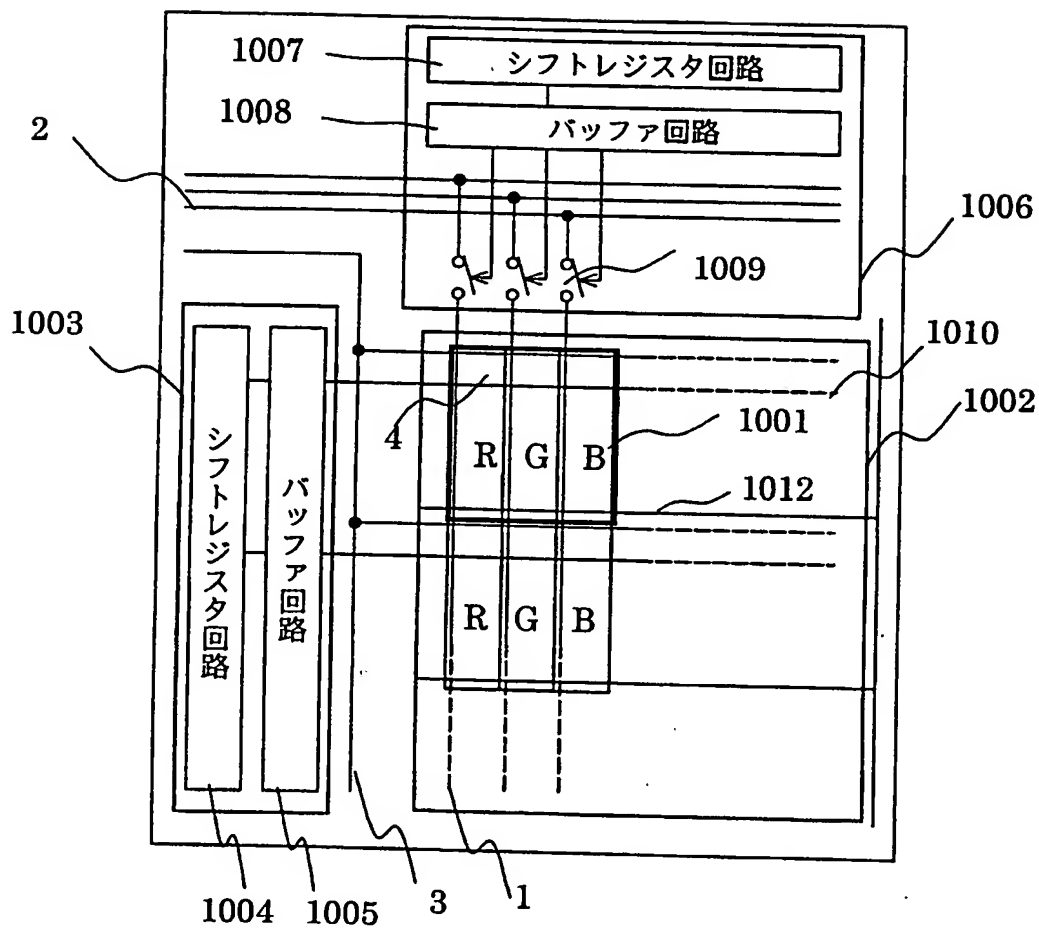
15

20

25

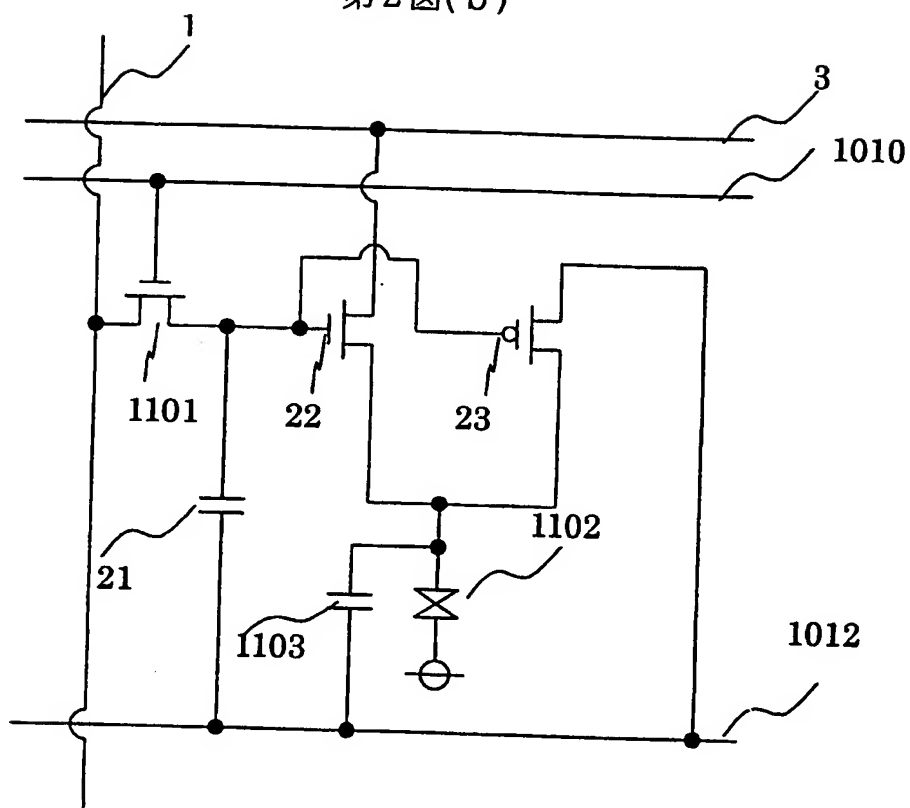
1/17

第1図



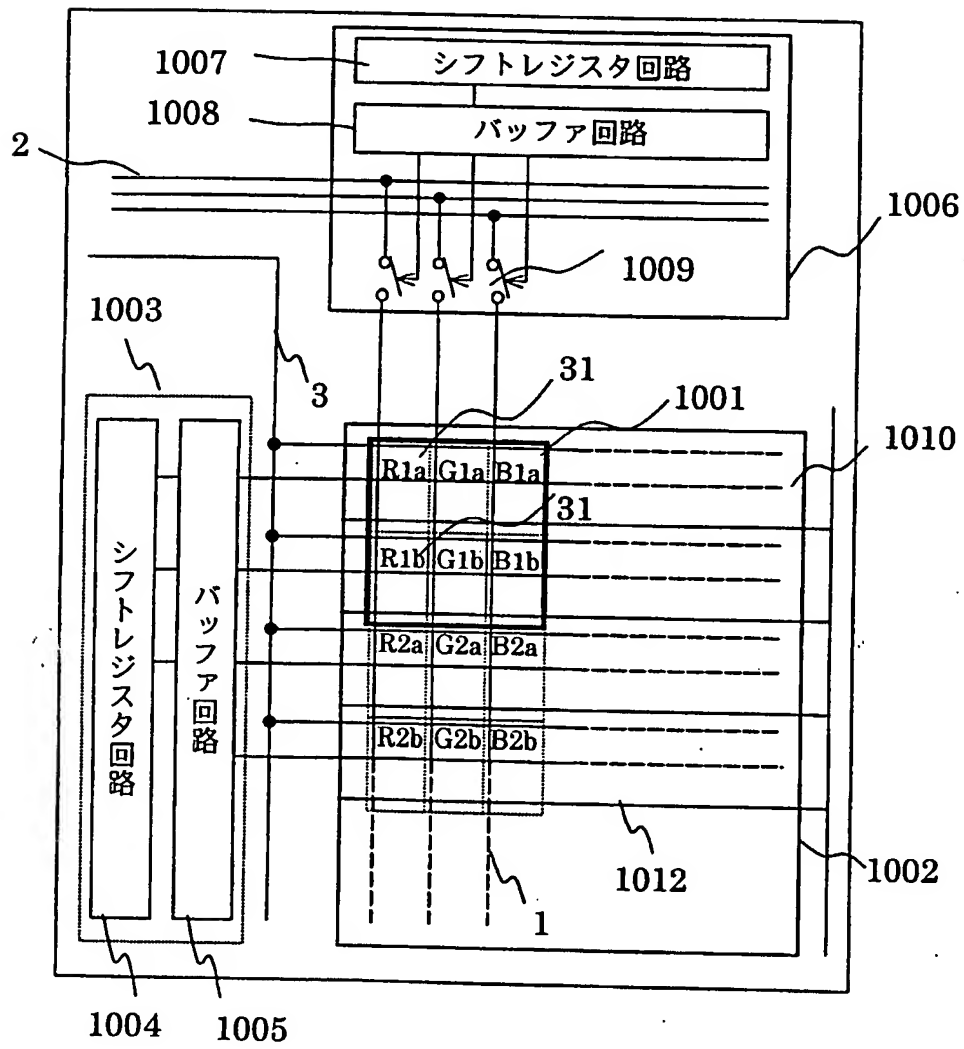
3/17

第2図(b)



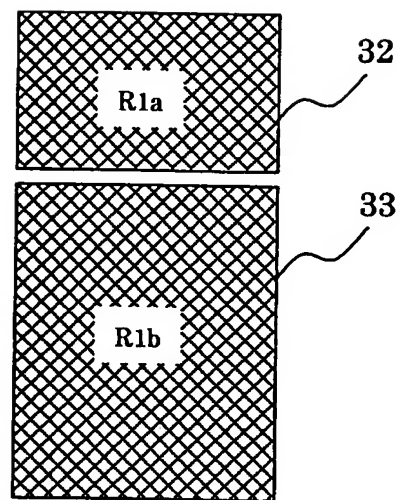
4/17

第3図

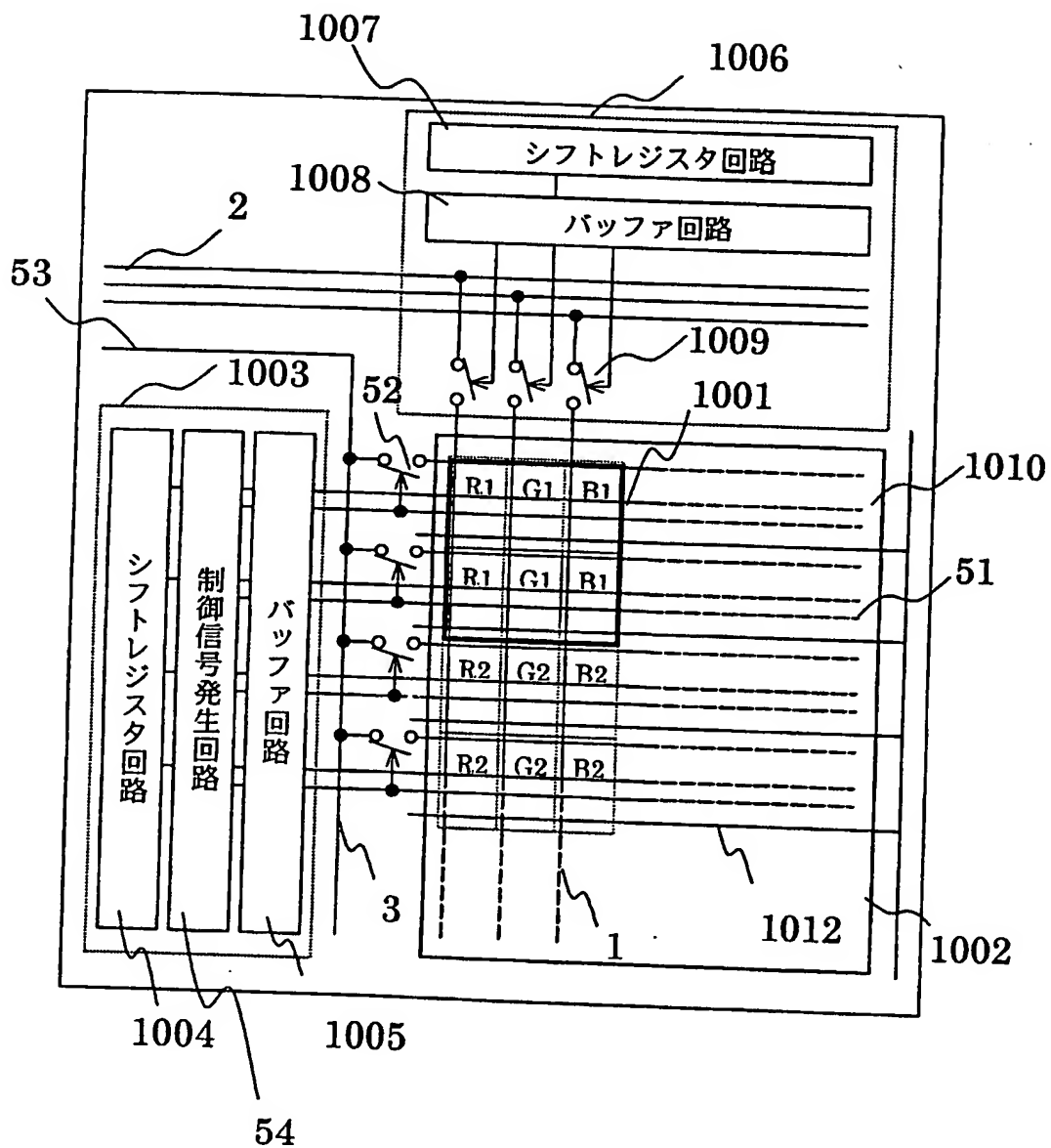


5/17

第4図

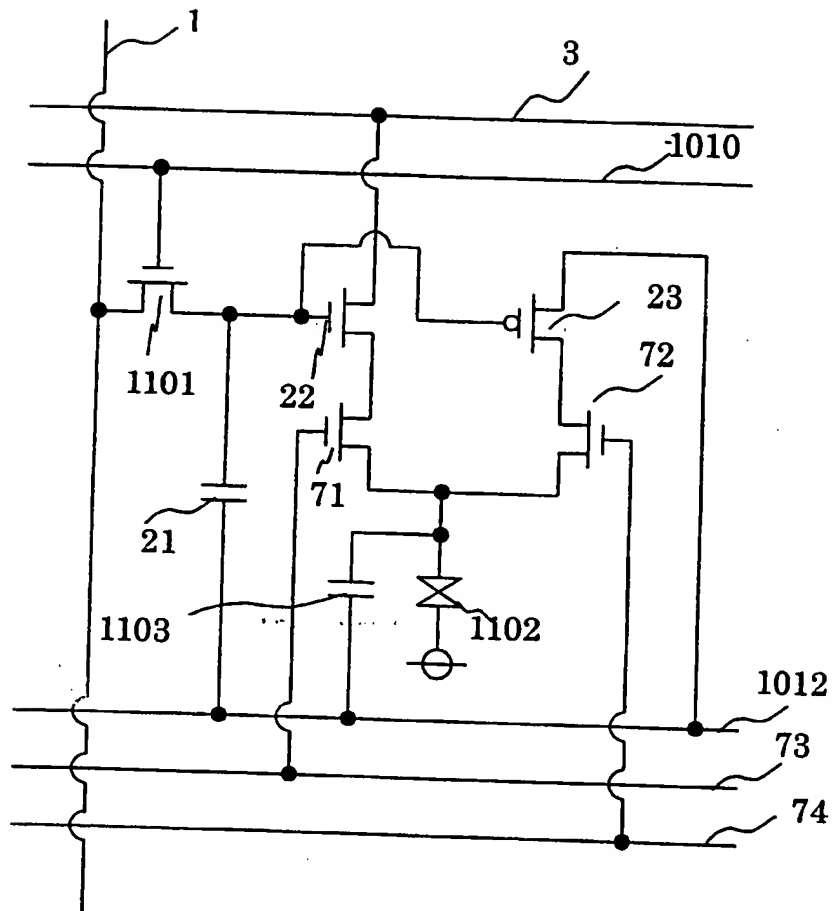


第5図



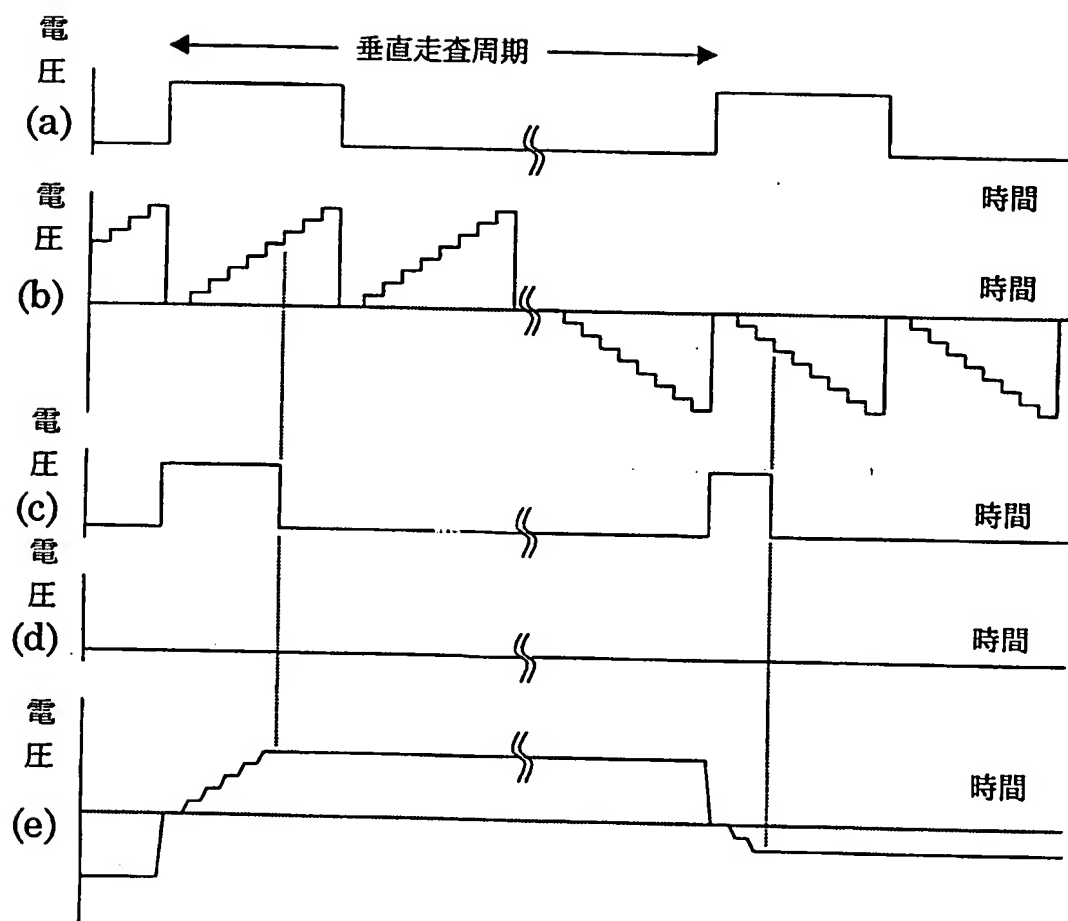
8/17

第7図



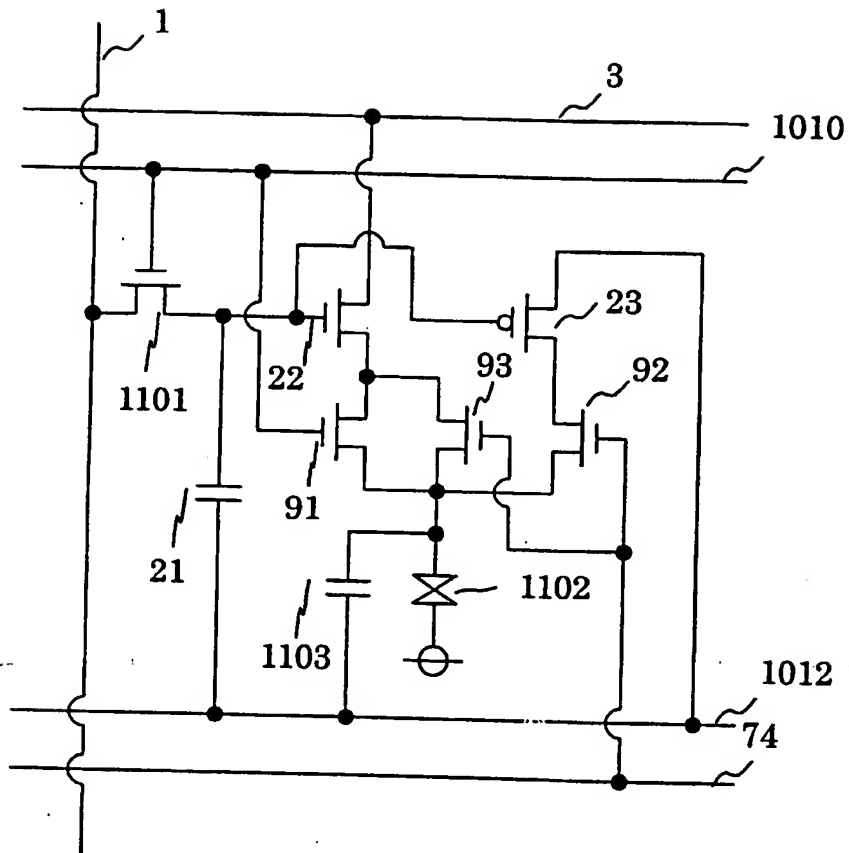
9/17

第8図



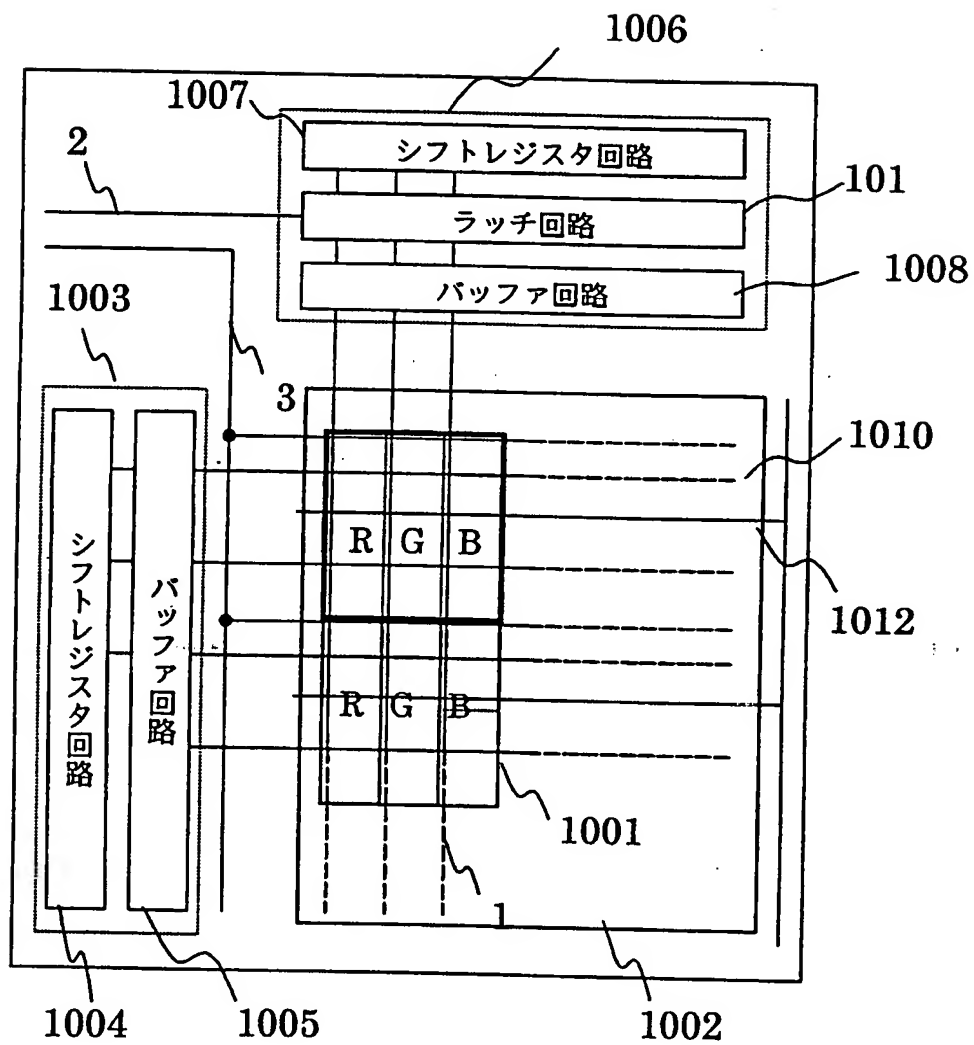
10/17

第9図



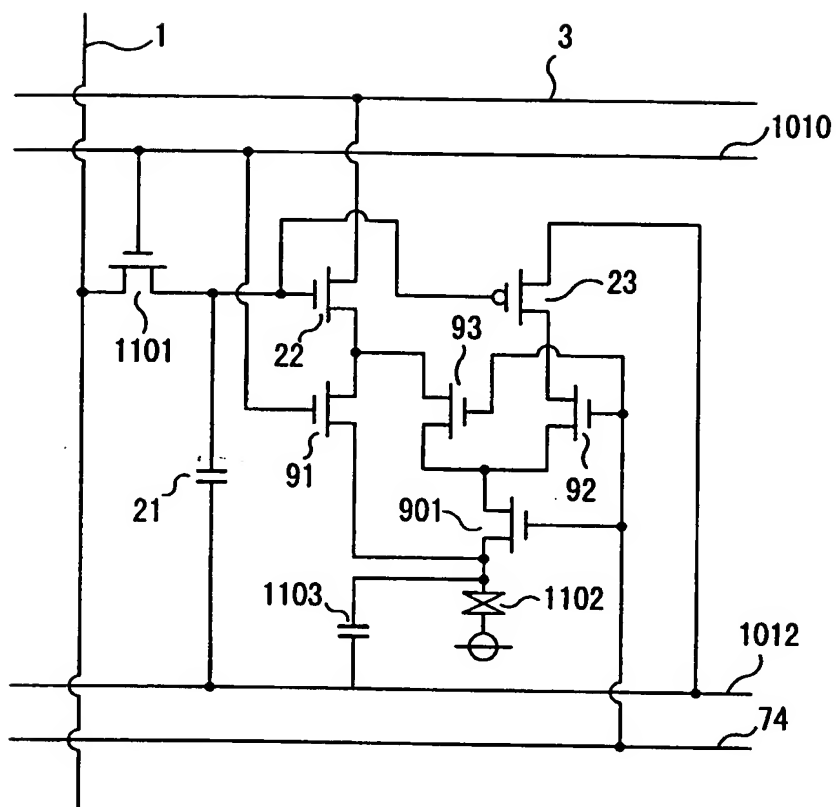
11/17

第10図



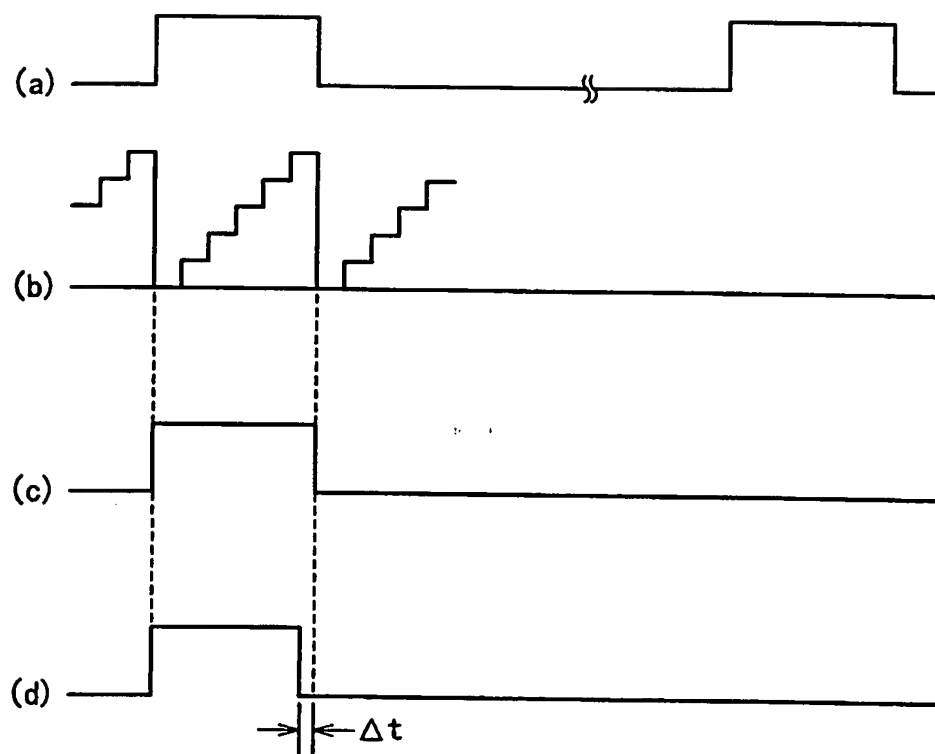
12/17

第11図



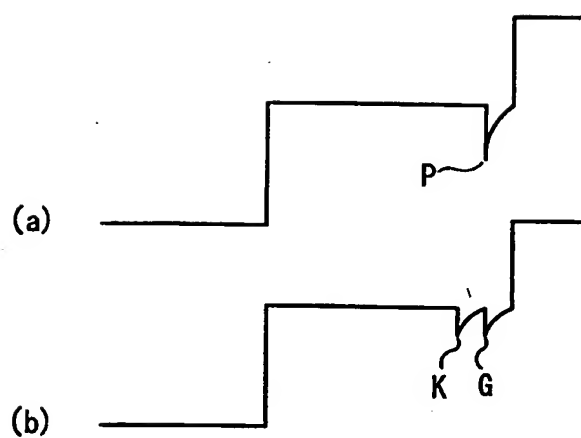
13/17

第12図



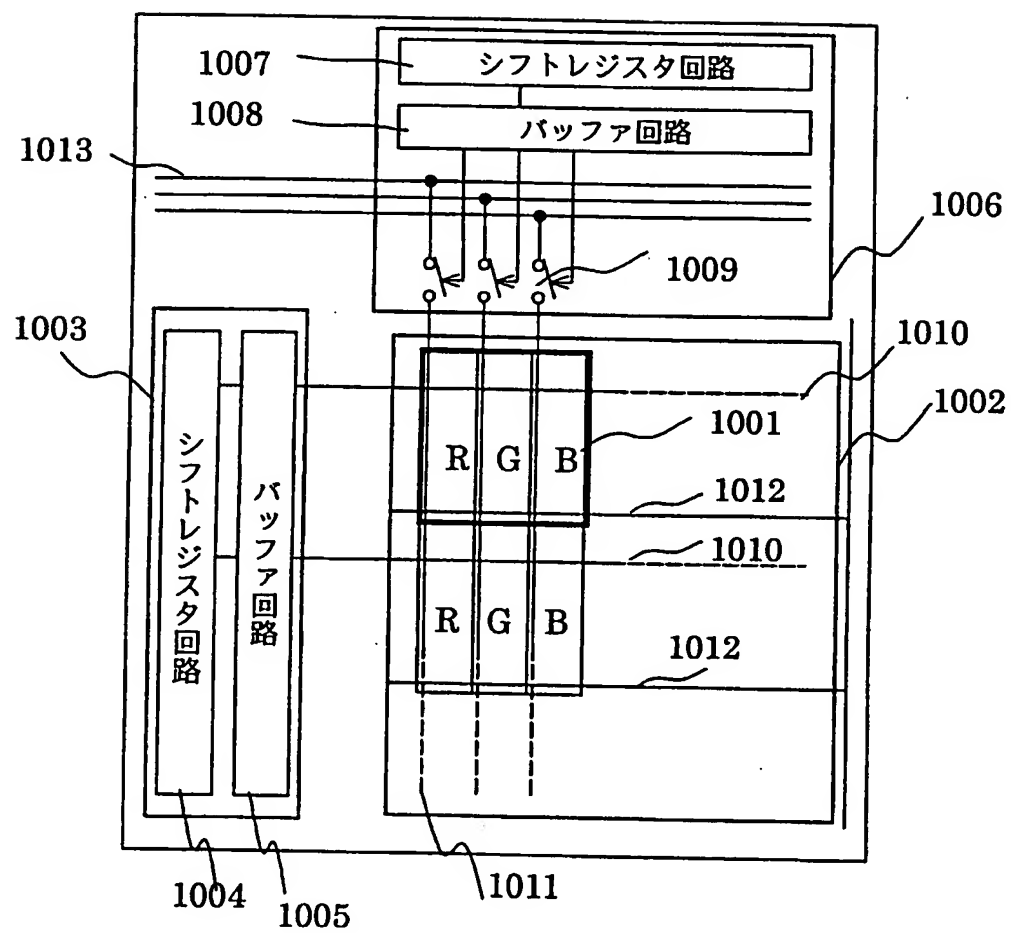
14/17

第13図



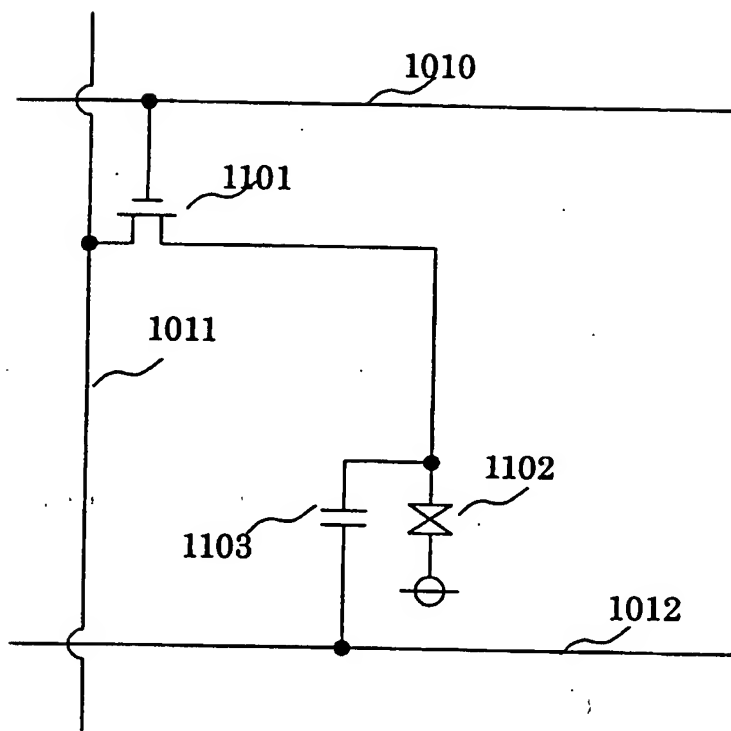
15/17

第14図



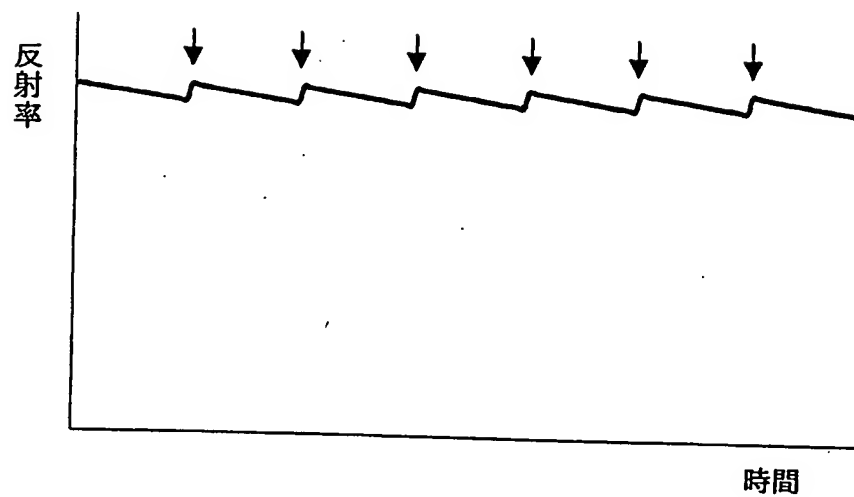
16/17

第15図

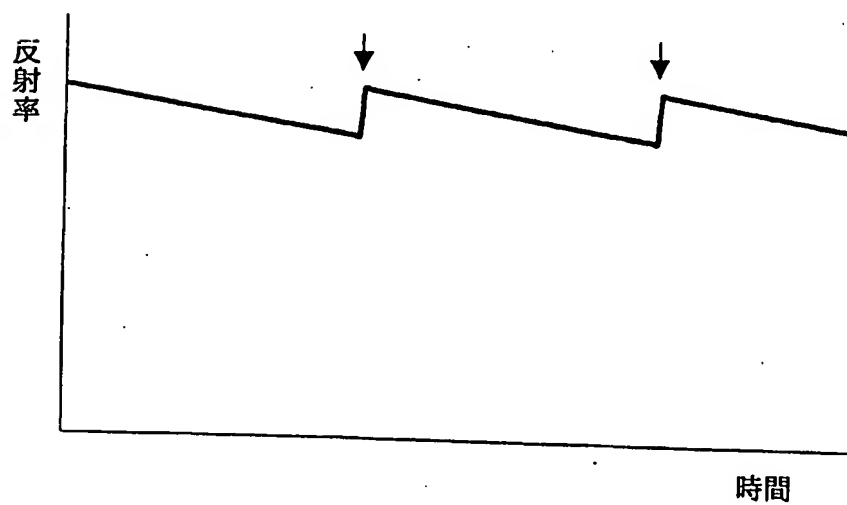


17/17

第16図(a)



第16図(b)



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP00/08477

A. CLASSIFICATION OF SUBJECT MATTER
Int.Cl⁷ G02F1/1368, G02F1/133, G09G3/36

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
Int.Cl⁷ G02F1/1368, G02F1/133, G09G3/36

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Jitsuyo Shinan Koho 1922-1996 Toroku Jitsuyo Shinan Koho 1994-2000
Kokai Jitsuyo Shinan Koho 1971-2000 Jitsuyo Shinan Toroku Koho 1996-2000

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP, 11-160676, A (Hitachi, Ltd.), 18 June, 1999 (18.06.99), Full text; all drawings (Family: none)	1-14
X	JP, 5-173175, A (Toshiba Corporation), 13 July, 1993 (13.07.93), Full text; all drawings (Family: none)	1-3, 7-14
X	US, 5627557, A1 (Sharp Kabushiki Kaisha), 06 May, 1997 (06.05.97), Full text; all drawings & DE, 69324316, C & EP, 586155, A2 & JP, 6-118912, A & KR, 9709538, B	1-3, 7-14
X	WO, 99/48078, A1 (Seiko Epson Corporation), 23 September, 1999 (23.09.99), Full text; all drawings & JP, 11-272233, A	1-3, 7-14
X	JP, 11-326946, A (NEC Corporation), 26 November, 1999 (26.11.99), Full text; all drawings (Family: none)	1-3, 7-14

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier document but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search
19 February, 2001 (19.02.01)

Date of mailing of the international search report
06 March, 2001 (06.03.01)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl. G02F1/1368, G02F1/133, G09G3/36

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl. G02F1/1368, G02F1/133, G09G3/36

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1922-1996

日本国公開実用新案公報 1971-2000

日本国登録実用新案公報 1994-2000

日本国実用新案登録公報 1996-2000

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	JP, 11-160676, A (株式会社日立製作所) 18. 6月. 1999 (18. 06. 99) 全文、全図 (ファミリーなし)	1-14
X	JP, 5-173175, A (株式会社東芝) 13. 7月. 1993 (13. 07. 93) 全文、全図 (ファミリーなし)	1-3, 7-14

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」口頭による開示、使用、展示等に関する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

19. 02. 01

国際調査報告の発送日

06.03.01

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

井口 猶二



2X

9119

電話番号 03-3581-1101 内線 3295

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	US, 5 6 2 7 5 5 7, A 1 (Sharp Kabushiki Kaisha) 6. 5月. 1997 (06. 05. 97) 全文、全図 & DE, 6 9 3 2 4 3 1 6, C & EP, 5 8 6 1 5 5, A 2 & JP, 6-118912, A & KR, 9709538, B	1-3, 7-14
X	WO, 99/48078, A 1 (セイコーエプソン株式会社) 23. 9月. 1999 (23. 09. 99) 全文、全図 & JP, 11-272233, A	1-3, 7-14
X	JP, 11-326946, A (日本電気株式会社) 26. 11月. 1999 (26. 11. 99) 全文、全図 (ファミリーなし)	1-3, 7-14